

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭58—182321

⑮ Int. Cl.³
H 03 K 17/693
H 01 L 27/04
27/08
H 03 K 19/094

識別記号

庁内整理番号
7105—5 J
8122—5 F
6370—5 F
6832—5 J

⑬ 公開 昭和58年(1983)10月25日

発明の数 1
審査請求 未請求

(全 5 頁)

⑭ 集積回路装置

京芝浦電気株式会社トランジスタ工場内

⑯ 特 願 昭57—65823

⑰ 出 願 人 東京芝浦電気株式会社

⑱ 出 願 昭57(1982)4月20日

川崎市幸区堀川町72番地

⑲ 発 明 者 一柳武士

⑳ 代 理 人 弁理士 鈴木武彦 外 2 名

川崎市幸区小向東芝町1番地東

明 細 書

1. 発明の名称

集積回路装置

2. 特許請求の範囲

(1) ソース相互が接続され、それぞれのゲート端子を各々入力信号の与えられる入力端および基準電圧入力端とする第1および第2のMOSトランジスタと、この第1および第2のMOSトランジスタのそれぞれのドレインと一方の電源との間に設けられたMOSトランジスタによる第1および第2の負荷と、上記第1および第2のMOSトランジスタのソースの共通接続点と他方の電源との間に接続された電流源と、上記基準電圧入力端に電圧を与える基準電圧源とを具備し、上記第1又は第2のMOSトランジスタのドレインを信号出力端とした入力信号整形回路を持つことを特徴とする集積回路装置。

(2) 上記電流源は電流決定負荷として上記第1および第2の負荷と同時に形成した同一型のMOSトランジスタを具備している特許請求の

範囲第1項記載の集積回路装置。

3. 発明の詳細な説明

〔発明の技術分野〕

この発明は、単チャンネルE/D型MOS・IC等の集積回路装置に関する。

〔発明の技術的背景〕

高速動作の論理集積回路として、一般にαチャンネルE/D型MOS・IC(α-MOS・IC)が普及している。こういったα-MOS・IC等の論理回路における入力部は第1図に示すようなものである。

まず、入力端子Aに供給された外部装置からの入力信号は、端子Aに対し直列の保護抵抗Rと逆電圧を接地点に落とすようにした保護ダイオードDとによる入力保護回路2に供給される。この入力保護回路2を経た信号は、ソースが接地されたエンハンスメント型のMOSトランジスタ(以下FETと記す)3のゲートに供給する。このFET3のドレインと電流源V_{DD}との間には、ゲートがソースに接続されたディプレッション

型 MOS・FET 3 が直列に接続され、この MOS・FET 3 と MOS・FET 4 の接続点 B は内部論理回路 100 の入力段に接続して出力信号を供給する。

このように、このエンハンスメント型 MOS・FET 3 およびディプレッション型 MOS・FET 4 は、いわゆる E/D 型の入力インバータ 5 を構成しており、それぞれ、駆動用 FET および負荷用 FET となっている。

すなわち、上記のような入力回路において、外部装置からの入力信号は、保護回路 2 を介して、適当な閾値（ノイズマージン）を有する入力インバータ 5 に供給され、内部論理回路が正確な動作を行なえるように増幅される。

このような入力インバータ 5 の遷移特性は、駆動用の MOS・FET 3 と負荷用の MOS・FET 4 の幾何学的な形状に係る β_n ($\beta_n = \frac{W/L(D)}{W/L(L)}$ 、 $W/L(D)$ ：駆動用 MOS・FET 3 における有効チャンネル幅 W と有効チャンネル長さ L の比、 $W/L(L)$ ：負荷用 MOS・FET 4 における有効チ

ャンネル幅 W と有効チャンネル長さ L の比) と、それぞれの MOS・FET 3, 4 の閾値電圧 V_T とで決定される。

〔背景技術の問題点〕

このような入力インバータ 5 の遷移特性を異なる β_n につき示すと第 2 図のようになる。すなわち、 β_n が大きい場合には、図中 V_T で示す電圧が入力インバータ 5 の閾値電圧となるもので、閾値電圧が低下し、入力電圧に対するノイズマージンが下がる傾向がある。一方、 β_n が小さい場合には、 β_n の大きい場合に比べ、閾値電圧は V_T で示すように上昇するが、インバータ 5 の低レベル出力電圧 V_{OL} が下がりきらず、内部論理回路の閾値電圧 V_T との整合性が劣化し、動作余裕が小さくなる。さらに、動作余裕が小さいため、この入力インバータ 5 の遷移特性のパラツキを小さく抑える必要がある。しかし、E/D 型のインバータでは駆動用 MOS・FET 3 および負荷用 MOS・FET 4 が異なる型の FET であり、そのため、それぞれの製造工程によって生

じる MOS・FET 3, 4 の閾値電圧のパラツキは不定で、その方向も一定しない。従って、入力インバータ 5 の遷移特性のパラツキを小さく抑えようとする、駆動用 MOS・FET 3 および負荷用 MOS・FET 4 の閾値のパラツキを厳しく抑えなければならず、製造余裕の小さいものとなる。

〔発明の目的〕

この発明は上記のような点に鑑みなされたもので、外部入力電圧に対しては充分高いノイズマージンを得られるよう、閾値電圧を所望の値に設定でき、内部論理回路に対しても信号レベルの整合性が良く、動作余裕、製造余裕が充分あるように遷移特性の改善された入力回路を有する集積回路装置を提供しようとするものである。

〔発明の概要〕

すなわち、この発明に係る集積回路装置は、内部論理回路への入力回路として、ソース相互を接続し、それぞれのゲート端子を外部入力信

号の与えられる信号入力端および基準電圧の与えられる基準電圧入力端とした例えばエンハンスメント型 MOS・FET による第 1 および第 2 の MOS・FET を使用し、この第 1 および第 2 の MOS・FET の各ドレインには、ドレインを電源に接続した例えばディプレッション型 MOS・FET による第 1 および第 2 の負荷をそれぞれ接続する。そして、上記第 1 および第 2 の MOS・FET のソース相互接続点と接地電源との間には、例えば第 1 および第 2 の負荷と同時に形成された同一型の第 5 の MOS・FET を電流決定負荷とする定電流回路を設けて差動増幅部を構成し、上記第 2 の MOS・FET のゲートに基準電圧を与える基準電圧回路を設けるようにしたものである。

〔発明の実施例〕

以下図面を参照してこの発明の一実施例につき説明する。第 3 図はその構成を示すもので、端子 C は、第 1 図で示したような直列抵抗 B と保護ダイオード 1 による保護回路 2 を通過した

号が供給される信号入力端で、一方Eは基準電圧の与えられる信号ラインである。それぞれの端子Cおよび信号ラインEは、接続点Dでソースを相互接続したエンハンスメント型の第1および第2のMOS・FET11,12のそれぞれのゲートに接続する。これら一対の第1および第2のMOS・FET11,12は、差動増幅回路の駆動用FETとなるものでそれぞれのドレインには、ゲートをソースに接続したディプレッション型の第3および第4のMOS・FET13,14をそれぞれ負荷として接続し、この負荷用MOS・FET13および14のドレインに電源 V_{DD} を接続する。

一方、前記第1および第2のエンハンスメント型MOS・FET11,12のソースの共通接続点Dに対しては、ゲートおよびソースを接地したディプレッション型の第5のMOS・FET15を直列に接続する。この第5のMOS・FET15はゲート電圧が一定に保たれ、一定電流 I_0 を流し続ける電流決定負荷10で、差動増幅回路

およびMOS・FET20を直列に設けて電源電位を分割する場合を示したが、例えば電源電圧を抵抗分割するなどして、適宜基準電圧を与えられるようにすれば良い。

このような構成の入力回路では、基準電圧部18より基準電圧を与え、他方の入力端を外部からの信号入力端とした差動増幅部17が基準電圧と入力信号電圧を比較する電圧コンパレータとなり、入力信号電圧に対し上記基準電圧を閾値として、その出力信号レベルを反転する。従って、基準電圧を適当な値に設定することによって、容易に入力回路の閾値を、外部からの入力信号に対しノイズマージンの的に最適なものにできる。

さらに、このような差動増幅部17を有する入力回路は、優れた遷移特性を有するもので、第4図にこの遷移特性を、 β_n が小さい場合のE/D型入力インバータと比較して示した。この図に示すように、前記差動増幅回路を入力回路へ採用することにより、単に希望する閾値を容

の定電流源16となるものであり、上記負荷用の第3および第4のMOS・FET13および14と同一工程すなわち同時に形成したものとする事が望ましい。

このように、第1〜第5のMOS・FET11,12...15は、それぞれエンハンスメント型の第1および第2のMOS・FET11,12のゲートと異なる2入力端とし、ディプレッション型の第5のMOS・FET15を定電流源とする差動増幅部17を構成しており、第1のMOS・FET11のドレインがこの差動増幅部17の出力端Bとなつて出力信号を、内部論理回路に供給する。この出力端Bに対し、逆極性の出力信号を得なければ、第2のMOS・FET12のドレインを出力端Bとすれば良い。

そして、この差動増幅部17の一方の入力端、この場合では第2のMOS・FET12のゲート端子に続く信号ラインEには、基準電圧部18より電圧を与える。この基準電圧部18は、図では、電源 V_{DD} と接地電源間にMOS・FET19お

よに得ることができるとばかりでなく、遷移特性が急峻になり、入力信号に対するノイズマージンが大きくなると共に、低レベル出力電圧 V_{OL} も低下し、内部論理回路との整合性すなわち動作余裕も改善する。この場合、低レベル出力電圧 V_{OL} は、従来のものに比べ、約1/2となる。

また、さらに、差動増幅部17において、駆動用の第1および第2のMOS・FET11,12のスイッチ抵抗を無視できるように、これらのMOS・FET11,12のゲインを大きく設定すると、この差動増幅部17の低レベル出力電圧 V_{OL} の値は、駆動用の第1および第2のMOS・FET11,12の閾値の影響が殆んどなくなり、定電流源16と負荷用の第3および第4のMOS・FET13,14との関係で決定される。

上記実施例では、負荷用の第3および第4のMOS・FET13,14と定電流源16の第5のMOS・FET15とを同時に同一の製造工程によって形成している。このため、この製造過程で、

電流決定負荷 I_0 となる第5のMOS・FET 15の価的抵抗が、例えば増加するようにばらつければ、その「ばらつき」と同じ割合で同じ方向に負荷用の第3および第4のMOS・FET 13, 14の等価的抵抗もばらついて増加する。すなわち、出力端Bの出力電圧は常に「ばらつき」がキャンセルされた状態であり、負荷用の第3および第4のMOS・FET 13, 14と定電流源16の第5のMOS・FET 15とのゲイン β の比のみで出力低電圧 V_{OL} が決定されることとなる。従って、入力インバータの閾値に対し従来のように各MOS・FETの閾値の「ばらつき」を厳しく抑える必要がなくなり、製造余裕を大きくとれる。

第5図には定電流源16をミラー回路構成にした場合の入力回路を示す。なお、定電流源16以外の構成および動作は前実施例と同様であるので、基準電圧部18は図示せず、同一構成成分には同一符号を付してその説明を省略する。このミラー回路構成の定電流源16においては、

フーマータの変動によって、電流決定負荷 I_0 となる第6のMOS・FET 21の等価的負荷抵抗が高くなれば、その割合で基準電流 I_B が減少するが、同時に、差動増幅部の負荷となる第3および第4のMOS・FET 13, 14も上記と同じ割合で等価的負荷抵抗が高くなっており、出力端Bの出力電圧には、製造工程パラメータの変動の影響が現れない。

(発明の効果)

以上のようにこの発明によれば、IC、LSIなどの内部論理回路と外部信号の入力端との間に、一方の入力端に入力信号が与えられ他方の入力端に基準電圧の与えられた差動増幅部を設け、この差動増幅部の負荷となるMOS・FETと差動増幅部の定電流源の電流決定負荷とを同時に、同じ型に形成したことによって、最適なノイズマージンを有する閾値に容易に設定でき、内部論理回路に対しても信号レベルの整合性が良く、動作余裕および製造余裕の充分に広い良好な遷移特性を有する入力回路を備えた集積回

レインを電源 V_{DD} に接続し、ゲートをソースに接続したディプレッション型の第6のMOS・FET 21が電流決定負荷 I_0 となるもので、前実施例と同様に、このMOS・FET 21は差動増幅部17の負荷となる第3および第4のMOS・FET 13, 14と同時に形成した同一型のもので構成する。この第6のMOS・FET 21のソースには、ソースを接地した第7のFET 22が直列に接続される。そして、この第7のMOS・FET 22は、前記第1および第2のMOS・FET 11, 12のソース相互接続点Dと接地電源との間に挿入された対になる第8のMOS・FET 23と互いにゲートを接続されて、ミラー回路を構成する。

すなわち、電源 V_{DD} と接地電源間に構成された第6のMOS・FET 21と第7のMOS・FET 22の直列回路は、基準電流設定回路で、ここに流れる基準電流 I_B と比例する定電流が第8のMOS・FET 23に流れる。

この場合にも前実施例と同様に製造工程のパ

ラメータの変動によって、電流決定負荷 I_0 となる第6のMOS・FET 21の等価的負荷抵抗が高くなれば、その割合で基準電流 I_B が減少するが、同時に、差動増幅部の負荷となる第3および第4のMOS・FET 13, 14も上記と同じ割合で等価的負荷抵抗が高くなっており、出力端Bの出力電圧には、製造工程パラメータの変動の影響が現れない。

すなわち、電源 V_{DD} と接地電源間に構成された第6のMOS・FET 21と第7のMOS・FET 22の直列回路は、基準電流設定回路で、ここに流れる基準電流 I_B と比例する定電流が第8のMOS・FET 23に流れる。

4. 図面の簡単な説明

第1図は従来の集積回路装置を説明する回路図、第2図は従来の入力インバータの遷移特性を示す図、第3図はこの発明の一実施例に係る集積回路装置を説明する回路図、第4図はその遷移特性を示す図、第5図はこの発明の他の実施例を示す回路図である。

11~15, 19~23…MOS・FET、
16…定電流源、17…差動増幅部、18…基準電圧部、B…出力端、C…入力端。

出願人代理人 弁護士 鈴 江 武 彦

